

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 05275690  
PUBLICATION DATE : 22-10-93

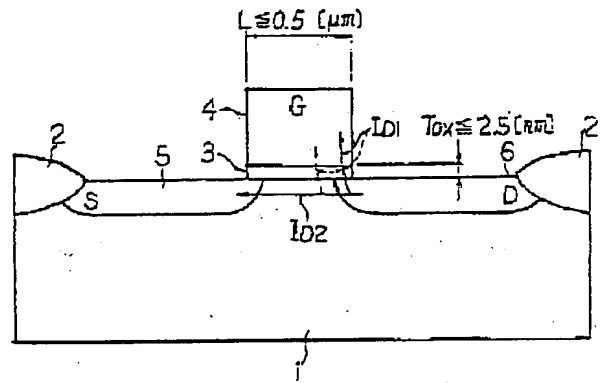
APPLICATION DATE : 27-03-92  
APPLICATION NUMBER : 04071701

APPLICANT : TOSHIBA CORP;

INVENTOR : IWAI HIROSHI;

INT.CL. : H01L 29/784

TITLE : SEMICONDUCTOR DEVICE



$$I_{D1} = \alpha_1 \cdot L \quad \text{I}$$

$$I_{D2} = \alpha_2 \cdot (1/L) \quad \text{II}$$

$$(I_{D1}/I_{D2}) = \alpha_3 \cdot L^2 \quad \text{III}$$

ABSTRACT : PURPOSE: To make a gate insulating film thin while restraining a tunnel current from flowing by a method wherein a gate insulating film of 2.5nm or less thickness and a gate electrode of 0.5μm or less are provided.

CONSTITUTION: A leakage component ID1 to a gate electrode 4 by a tunnel effect, a channel component ID2, and a gate length L are made to bear relations to each other to satisfy formulas I and II.  $\alpha_1$  and  $\alpha_2$  are constant. The formula I shows that a leakage component ID1 is in proportion to a gate length L. The formula II indicates that a channel component ID2 increases with a decrease in gate length L to set a semiconductor device high in efficiency. The ratio of the leakage component ID1 to the channel component ID2 is represented by a formula III basing on the formulas I and II.  $\alpha_3$  is a constant. Therefore, (ID1/ID2) decreases linearly with L, and a gate length L is so scaled as to satisfy a formula,  $L \leq 0.5\mu\text{m}$ . Even if  $L=10\mu\text{m}$ , ID increases till a gate insulating film reaches to 2.5nm in thickness TOX. When  $L=0.5\mu\text{m}$ , ID shows a tendency to increase even if TOX reaches to 1.5nm, so that TOX and L are set less than 2.5nm and 0.5μm respectively.

COPYRIGHT: (C)1993,JPO&Japio

THIS PAGE BLANK (USP)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-275690

(43) 公開日 平成5年(1993)10月22日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 29/784

識別記号

序内整理番号

7377-4M

F I

H 0 1 L 29/78

技術表示箇所

3 0 1 G

審査請求 未請求 請求項の数 1 (全 8 頁)

(21) 出願番号 特願平4-71701

(22) 出願日 平成4年(1992)3月27日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 森 本 豊 太

神奈川県川崎市幸区小向東芝町1 株式会  
社東芝総合研究所内

(72) 発明者 百 瀬 寿 代

神奈川県川崎市幸区小向東芝町1 株式会  
社東芝総合研究所内

(72) 発明者 岩 井 洋

神奈川県川崎市幸区小向東芝町1 株式会  
社東芝総合研究所内

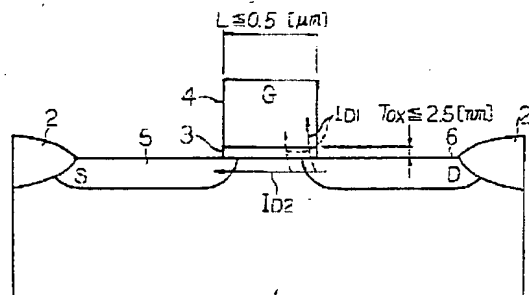
(74) 代理人 弁理士 佐藤 一雄 (外3名)

(54) 【発明の名称】 半導体装置

(57) 【要約】

【構成】 第1導電型の半導体基板1表面部におけるチャネル形成領域の一方の側に形成された上記第1導電型とは逆の第2導電型のドレイン領域6と、上記半導体基板表面部における上記チャネル形成領域の他方の側に形成された上記第2導電型のソース領域5と、上記チャネル形成領域上に形成され、ゲート絶縁膜厚 $T_{ox}$ が2.5nm以下で且つゲート長 $L$ が0.5 $\mu m$ 以下のゲート電極部3、4とを備える。

【効果】 ショートチャネル効果に対する耐性と素子スピード向上とを満足し素子の微細化を推進する。



## 【特許請求の範囲】

【請求項1】第1導電型の半導体基板表面部におけるチャネル形成領域の一方の側に形成された前記第1導電型とは逆の第2導電型のドレイン領域と、

前記半導体基板表面部における前記チャネル形成領域の他方の側に形成された前記第2導電型のソース領域と、

前記チャネル形成領域上に形成され、ゲート絶縁膜厚が2.5nm以下で且つゲート長が0.5μm以下のゲート電極部とを備えたMISFETを構成する半導体装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はMISFETを構成する半導体装置に関する。

【0002】

【従来の技術】MISFET、特にMOSFETの集積回路技術の進歩に伴い、MOSFETのゲート長はディープサブミクロンの領域に入り、実用化の検討が各所で進められている。

【0003】従来、このMOSFETの微細化スケーリングは、一般に、1974年のデナード(Denard)により提唱された“比例縮小”の概念に基づいて行われてきた。この比例縮小スケーリングとは、素子のある特定の構成要素のサイズを縮小したとき、該素子の他の構成要素も同じ比率で縮小し、トランジスタとしての動作特性を確保するというものである。

【0004】しかし、基板内におけるPN接合部分の状態で決まるビルトイン電圧、電源電圧などの単純にスケーリングしにくいパラメータも存在することから、最近では、電源電圧を $K^{1/2}$  (Kはスケーリングファクタ)で下げる手法などが提案され、設計の一つのガイドラインとなっている。

【0005】これまで、MOSFETのゲート絶縁膜についてもスケーリングしにくいパラメータと考えられ、3~4nm程度がゲート絶縁膜の薄膜化の限界とされていた。これは、ゲート絶縁膜をその値以下に薄くすると、ドレイン、ソースとゲート電極との間のトンネル電流が増大し、もはやトランジスタとしての動作が行われなくなるためである。

【0006】ところで、ゲート長が0.1~0.2μm以下の極めて微細なトランジスタ回路では、電源電圧も1~1.5V程度に下がってくる。一方、素子を高速動作させるには高い駆動力が要求される。そのためには、しきい値電圧を低く設定する必要がある。

【0007】

【発明が解決しようとする課題】しかし、そのように、ゲート絶縁膜を4nm以下に薄膜化せず、低いしきい値を持つトランジスタを設計するようにしていることから、チャネルの濃度を十分に上げることができず、ショートチャネル効果の抑制の面で厳しい状況となってい

る。

【0008】また、ゲート絶縁膜の薄膜化が頭打ちになっていることは、駆動力の向上をゲート長の縮小にのみ頼る結果をもたらしており、素子スピード向上に対する妨げの一要因となっている。

【0009】本発明は上記実情に鑑みてなされたもので、その目的とするところは、チャネル濃度の抑制やゲート長縮小のみに頼ることなしに駆動力の向上を図り、もってショートチャネル効果に対する耐性向上及び素子スピード向上に大きく寄与するMISFETを提供することにある。

【0010】

【課題を解決するための手段】本発明の半導体装置は、第1導電型の半導体基板表面部におけるチャネル形成領域の一方の側に形成された上記第1導電型とは逆の第2導電型のドレイン領域と、上記半導体基板表面部における上記チャネル形成領域の他方の側に形成された上記第2導電型のソース領域と、上記チャネル形成領域上に形成され、ゲート絶縁膜厚が2.5nm以下で且つゲート長が0.5μm以下のゲート電極部とを備えたMISFETを構成することを特徴とする。

【0011】

【作用】本発明によれば、ゲート絶縁膜厚及びゲート長を合わせて上記の値に設定することで、トンネル電流を抑制しつつゲート絶縁膜厚の薄膜化を図ることができるので、チャネル濃度を十分に確保した状態で、かつゲート長縮小のみに頼ることなしに駆動力向上を図ることができ、ショートチャネル効果に対する耐性と素子スピード向上とを満足した素子の微細化が可能となる。

【0012】

【実施例】以下に本発明の実施例について図面を参照しつつ説明する。

【0013】図1は本発明の一実施例に係るMISFETの構造を示すものである。

【0014】この図に示すFETを、例えば、nchMISFETとすれば、1はp型Si基板となる。この基板1上にはSiO<sub>2</sub>膜等からなる素子分離絶縁膜2が形成され、基板1上におけるこの素子分離絶縁膜2によって囲まれる部分が素子領域とされ、次述するMISFETが作り込まれている。

【0015】このMISFETは、SiO<sub>2</sub>膜等からなるゲート絶縁膜3とポリシリコン膜からなるゲート電極4とソース領域5とドレイン領域6とを有する。ゲート絶縁膜3とゲート電極4とがMOS型ゲート電極部を形成し、ゲート絶縁膜3は基板1上の当該素子領域の中心部上に形成され、ゲート電極4は、このゲート絶縁膜3上に載設されている。基板1表面部におけるゲート電極部直下の部分がチャネル形成領域とされ、ソース領域5は、このチャネル形成領域の一方の側にn<sup>+</sup>領域として形成され、ドレイン領域6は、同チャネル領域の他方の

3

側に $n^+$ 領域として形成されている。

【0016】このような構造において、電極4にゲートバイアスVGを、ドレイン領域6にバイアスVDを、ソース領域7にバイアスVSを印加することで、上記チャネル形成領域に $n$ 型の反転層を形成し、ドレイン領域6からソース領域5に向けて電流ID2を流し、所定のトランジスタ動作を得るものである。

【0017】さて、本発明の上記MISFETはゲート\*

$$ID1 = \alpha 1 \cdot L$$

$$ID2 = \alpha 2 \cdot (1/L)$$

となる。この式中、 $\alpha 1$ 、 $\alpha 2$ は比例定数であり、

(1)式はリーク成分ID1がゲート長Lに比例することを意味している。リーク成分ID1はゲート電極4とドレイン領域6との重なり合う部分の実線で示す経路を流れるものの他、プロセス上の問題でゲート絶縁膜3の端部が中間部よりもやや厚めに形成される関係上、実線で示す経路を流れず、破線で示す経路を流れるものが存在す※

$$(ID1/ID2) = \alpha 3 \cdot L^2$$

と表される。 $\alpha 3$ は比例定数で、 $(\alpha 1/\alpha 2)$ に相当する。この式(3)に示す $(ID1/ID2)$ は小さいほど望ましく、この $(ID1/ID2)$ はLが小さいほど小さな値になる。上記ゲート長Lの $L \leq 0.5 \mu m$ は、そのようにスケールされたものである。以上のようなゲート電極部を持つMISFETは例えば次述するような製法により形成される。

【0021】通常、MISFETは基板1上に素子分離絶縁膜2を形成して素子分離を施した状態で、この素子分離絶縁膜2により囲まれる領域に素子領域表面清掃用の薄いSiO<sub>2</sub>膜を形成しこれを取除くことにより素子領域表面に付着していた不純物を取除く。その後、ゲート絶縁膜3の材料となるSiO<sub>2</sub>膜等を形成し、続いてゲート電極4の材料となるポリシリコン膜を堆積させ、これらSiO<sub>2</sub>膜等及びポリシリコン膜をパターニングしてゲート絶縁膜3及びゲート電極4を形成する。その後、そのゲート電極部をマスクとして、基板1におけるゲート絶縁膜直下のチャネル形成領域の各側に例えばAsイオンを高濃度にドーブルし、熱処理によって拡散させることで $n^+$ ソース領域5及び $n^+$ ドレイン領域6を形成する。

【0022】ここで、特に、本発明の場合、ゲート絶縁膜3の材料膜を形成する工程と、そのゲート絶縁膜3及びゲート電極4を形成するためのパターニング工程とに工夫を加える。

【0023】つまり、まず、Toxが2.5nm以下となるようにゲート絶縁膜3の材料膜を形成する。このゲート絶縁膜3の材料膜形成工程において採用する処理法としては次のようなものがある。

【0024】(イ) 600~800°C、HC110%の雰囲気中での炉酸化。これにより、当該材料膜としてはSiO<sub>2</sub>膜が形成される。

4

\*絶縁膜3の膜厚Toxが2.5nm以下とされ、ゲート長Lが0.5 $\mu m$ 以下とされている。

【0018】ここで、ID1は、ドレイン領域6から流れ出る電流のうち正規のチャネル成分ID2をのぞく、トンネル効果によるゲート電極4へのリーク成分を示し、このリーク成分ID1及びチャネル成分ID2とゲート長Lとの間には次のような関係が成り立つ。

【0019】まず、

(1)

(2)

※る。この経路を通る電流はLが長いほど増える。そのために(1)式が成立するのである。逆に、(2)式はゲート長Lが短いほどチャネル成分ID2が増え、高効率になることを意味している。

【0020】そして、(1)、(2)式により、チャネル成分ID2に対するリーク成分ID1の割合は、

(3)

【0025】(ロ) 700~900°Cのドライ雰囲気中での5秒のランプ酸化。これにより、当該材料膜としてはSiO<sub>2</sub>膜が形成されるものである。

【0026】(ハ) (イ)、(二)のいずれかの処理+800~900°Cでの空化処理。これにより、当該材料膜としては窒化酸化膜が形成される。

【0027】(ニ) TaO<sub>5</sub>膜の形成処理。この場合、材料膜はTaO<sub>5</sub>膜となる。

【0028】(ホ) (二)の処理+(イ)、(ロ)、(ハ)のうちのいずれかの処理。これにより、酸化TaO<sub>5</sub>膜あるいは窒化酸化TaO<sub>5</sub>膜が材料膜として形成される。

【0029】その他、各種考えられる。

【0030】そして、ゲート電極部のパターニング工程においては上記の数値、つまり $L \leq 0.5 \mu m$ を満たすようにパターニング処理を施すものである。

【0031】以上のようにゲート絶縁膜厚及びゲート長を合わせて上記の値に形成することで、トンネル電流を抑制しつつゲート絶縁膜厚の薄形化を図ることができ、チャネル濃度を十分に確保した状態で、かつゲート長縮小のみに頼ることなしに駆動方向向上を図ることができる。このことは、実験によって確認データが得られており、以下にその内容を示す。

【0032】まず、図4~6は、ゲート長Lが大きいまま( $L = 1.0 \mu m$ )で、ゲート絶縁膜3の厚さToxを変えたMISFETの静特性を測定したものである。そのうち、図4はVD-ID特性、図5はVD-IS特性、図6はVD-IG特性をそれぞれ示し、各図中、①はVG=0Vのときの曲線、②はVG=0.5Vのときの曲線、③はVG=1.0Vのときの曲線、④はVG=1.5Vのときの曲線、⑤はVG=2.0Vのときの曲線である。また、図4(a)、図5(a)、図6(a)はゲ

5

ート絶縁膜としてピュアな $\text{SiO}_2$ 膜(“PO”)を備えたn-MISFET、図4(b)、図5(b)、図6(b)はゲート絶縁膜として窒化膜(“N”)を備えたn-MISFET、図4(c)、図5(c)、図6(c)はゲート絶縁膜として窒化酸化膜(“ON”)を備えたn-MISFET、図4(d)、図5(d)、図6(d)はゲート絶縁膜として再酸化窒化酸化膜(“ONNO”)を備えたn-MISFETの各特性を示す。これらのMISFETのゲート幅Wとゲート長Lとの比(W/L)は“1”、つまり“ $10\mu\text{m}/10\mu\text{m}$ ”で同一であり、図4～6各々の中で、 $T_{\text{ox}}$ は最小1.5nm、最大2.0nmの範囲で(a)<(b)<(c)<(d)の関係となっている。

【0033】さて、まず、図4～6(d)に示す特性が理想的な特性である。つまり、 $V_G=0\text{V}$ のときVDの値によらずID、IS、IG=0 $\mu\text{A}$ で、ゲート電極4、ソース領域5、ドレイン領域6においてリーク電流が存在しない(図4～6(d)の①参照)。そして、VGを上昇させることに応じてIS、IDが増大し、IGはVGにかかわらず0 $\mu\text{A}$ としか読取れず、図1に示すリーク電流ID1は略々0 $\mu\text{A}$ となっており、良好なトランジスタ特性が得られているのがわかる。

【0034】さて、これに対し、図4～6(c)～(a)に示す他の特性を見ると、ゲート絶縁膜厚 $T_{\text{ox}}$ が小さくなるほど、特性は劣化しているがわかる。図4～6(c)に示すものではそれほどでもないが、図4～6(b)に示す特性では、 $V_G=1.0\text{V}$ 以上を印加したとき、ゲート電極4から電流が流出し、これに伴って、電流ID、ISの特性が劣化しており、特に、電流IDの曲線を見ると、電流が流れ出るはずのドレイン領域6に、VDが小さいほど電流が流入している傾向が見取れる。

【0035】よって、図4～6によって、ゲート長Lが $10\mu\text{m}$ であっても、ゲート絶縁膜厚 $T_{\text{ox}}$ が2.0 $\mu\text{m}$ のときには良好な特性が得られているが、ゲート長Lが大きいままでは、 $T_{\text{ox}}$ が薄くなるほど特性が悪化し、 $T_{\text{ox}}$ を小さくすることに、頭打ちを生ずるのが良く理解される。

【0036】これに対し、図2は、ゲート絶縁膜厚 $T_{\text{ox}}$ を1.8nm一定とし、ゲート長Lを変えてn-MISFETのVD-ID静特性を測定したものである。サンプルの持つゲート絶縁膜はSi窒化膜(SiN; “N”)である。

【0037】図2(a)の特性は図4(b)に示す特性と同じである。この図に示すように、 $T_{\text{ox}}=1.8\mu\text{m}$ と薄くしても、伴ってLを小さくしてゆけば、特性が改善され、図2(c)に示す $L=0.5\mu\text{m}$ の場合には既に良好なトランジスタ特性が得られているのがわかる。

【0038】なお、図3は、ゲート絶縁膜厚 $T_{\text{ox}}$ を1.5nm一定とし、ゲート長Lを変えてn-MISFET

6

のVD-ID静特性を測定したものである。サンプルの持つゲート絶縁膜は純粋な酸化膜( $\text{SiO}_2$ 膜; “PO”)である。

【0039】図3(a)の特性は図4(a)に示す特性と同じである。この図に示すように、 $T_{\text{ox}}=1.5\mu\text{m}$ と更に薄くしても、伴ってLを $1\mu\text{m}$ と小さくすれば、特性が改善されるのが見て取れる。

【0040】図7は駆動力とゲート絶縁膜厚 $T_{\text{ox}}$ との関係を示すもので、同図(a)は $L=10\mu\text{m}$ 、同図(b)は $L=0.5\mu\text{m}$ とした場合を示している。

【0041】 $L=10\mu\text{m}$ でも $T_{\text{ox}}=2.5\text{nm}$ 程度まではID(ID2)の上昇が見られる。 $L=0.5\mu\text{m}$ では $T_{\text{ox}}=1.5\text{nm}$ に至ってもID(ID2)の上昇傾向が見られる。

【0042】よって、ゲート絶縁膜厚 $T_{\text{ox}}$ を2.5nm以下にスケールアップする場合、合わせてゲート長Lを0.5 $\mu\text{m}$ 以下とすれば確実に良好なトランジスタ特性が得られるのがわかる。

【0043】以上のように、ゲート絶縁膜厚 $T_{\text{ox}}$ 及びゲート長Lを合わせて特定の値にスケールアップすることで、トンネル電流を抑制し、ゲート絶縁膜厚の薄形化を図ることができる。これによって、チャネル濃度を十分に確保した状態で、かつゲート長縮小のみに頼ることなしに駆動力向上を図ることができ、ショートチャネル効果に対する耐性と素子スピード向上とを満足した素子の微細化が可能となる。また、トンネル電流の流れるような極めて薄い膜をゲート絶縁膜として用いるため、発生したチャージがトラップされつづけることはなく、速やかにデトラップし、トランジスタの特性劣化は非常に小さくなる。

【0044】

【発明の効果】以上説明したように本発明によれば、ゲート絶縁膜厚を2.5nm以下、ゲート長を0.5 $\mu\text{m}$ 以下のゲート電極部を有するように、ゲート絶縁膜厚及びゲート長を合わせてスケールアップすることで、トンネル電流を抑制しつつゲート絶縁膜厚の薄形化を図ることができるので、チャネル濃度を十分に確保した状態で、かつゲート長縮小のみに頼ることなしに駆動力向上を図ることができ、ショートチャネル効果に対する耐性と素子スピード向上とを満足した素子の微細化が可能となる。

【図面の簡単な説明】

【図1】本発明の一実施例に係るMISFETの構造を示す断面図。

【図2】ゲート絶縁膜を1.8nm一定とし、ゲート長を $10\mu\text{m}$ 、 $1\mu\text{m}$ 、 $0.5\mu\text{m}$ としたときのMISFETのVD-ID静特性データを示す曲線図。

【図3】ゲート絶縁膜を1.5nm一定とし、ゲート長を $10\mu\text{m}$ と $1\mu\text{m}$ としたときのMISFETのVD-ID静特性データを示す曲線図。

(5)

特開平5-275690

【図4】ゲート長を $10\mu\text{m}$ 一定とし、ゲート絶縁膜厚を $1.5\sim 2.0\text{nm}$ の範囲で変えたときのMISFETの $V_D-I_D$  静特性データを示す曲線図。

【図5】ゲート長を $10\mu\text{m}$ 一定とし、ゲート絶縁膜厚を $1.5\sim 2.0\text{nm}$ の範囲で変えたときのMISFETの $V_D-I_S$  静特性データを示す曲線図。

【図6】ゲート長を $10\mu\text{m}$ 一定とし、ゲート絶縁膜厚を $1.5\sim 2.0\text{nm}$ の範囲で変えたときのMISFETの $V_D-I_G$  静特性データを示す曲線図。

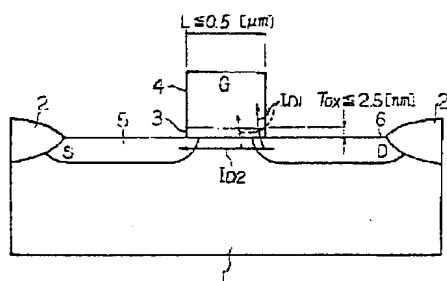
【図7】MISFETの駆動力とゲート絶縁膜厚 $T_{ox}$ と  $T_{ox}$  ゲート絶縁膜厚

の関係を示す曲線図。

【符号の説明】

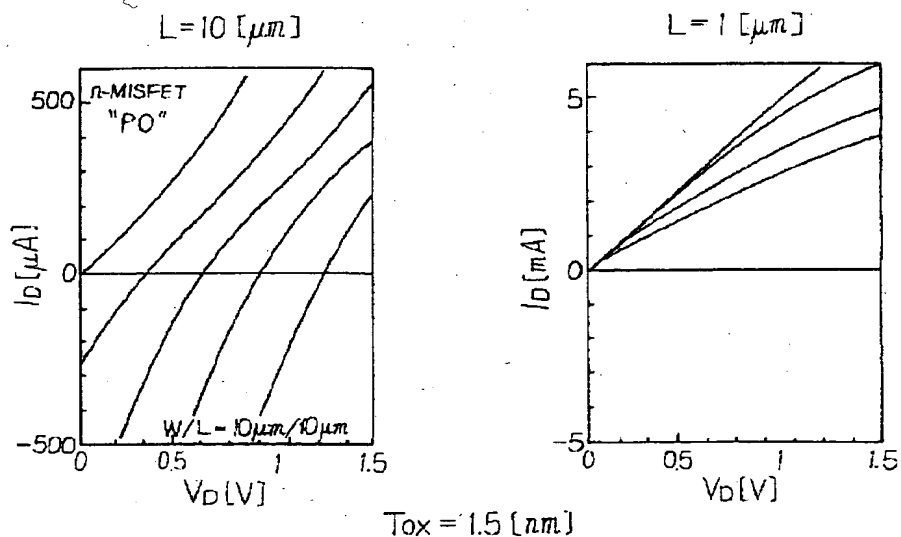
- 1 Si基板
- 2 素子分離絶縁膜
- 3 ゲート絶縁膜
- 4 ゲート電極
- 5 ソース領域
- 6 ドレイン領域
- L ゲート長

【図1】

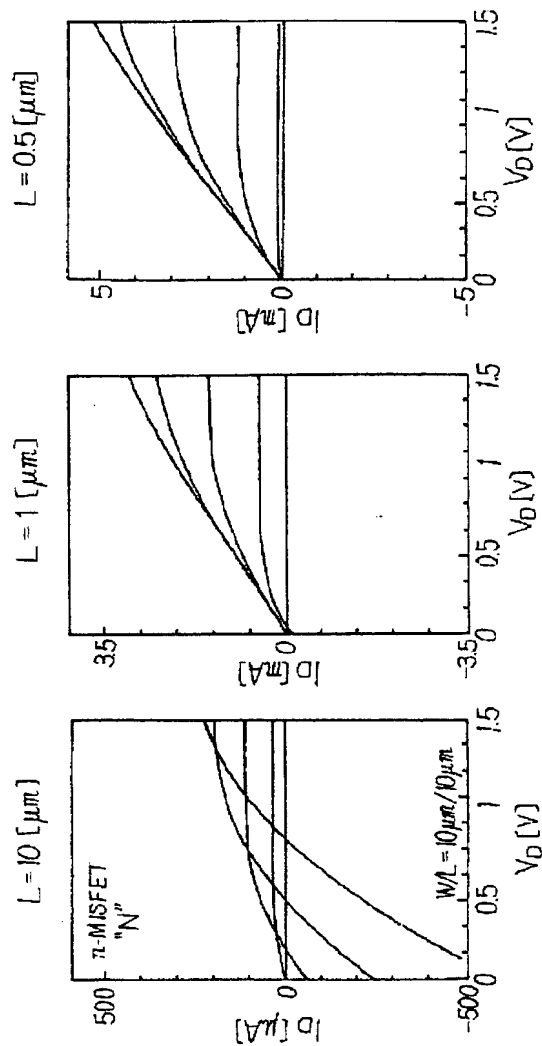


【図3】

<  $V_D-I_D$  静特性 >



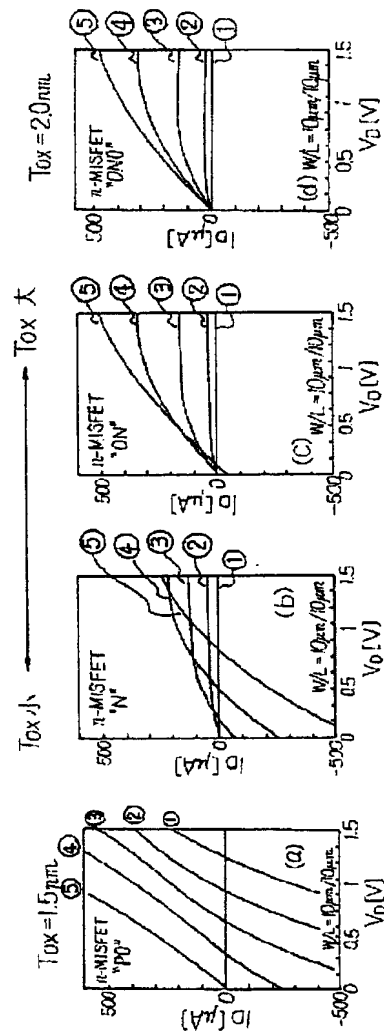
<  $V_D$ - $I_D$  静特性 >



【図2】

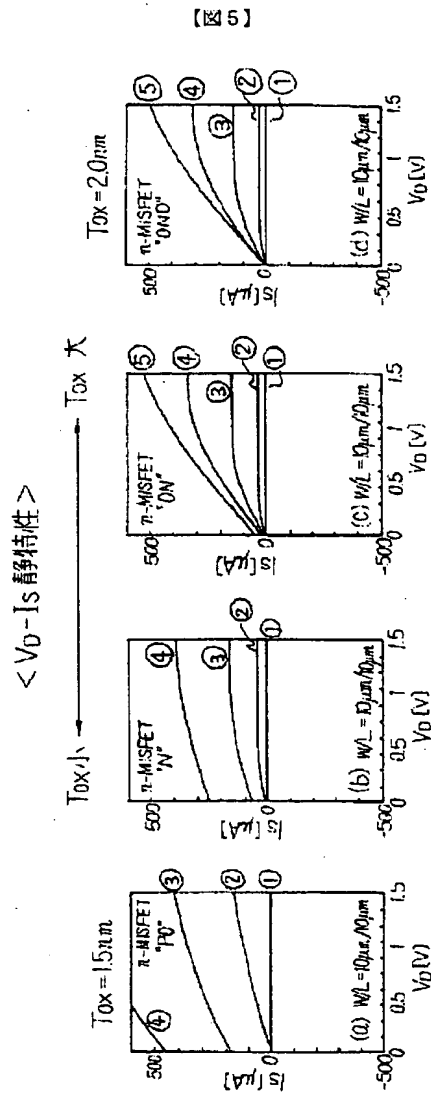
$T_{ox} = 1.8 \text{ [nm]}$

<  $V_D$ - $I_D$  静特性 >

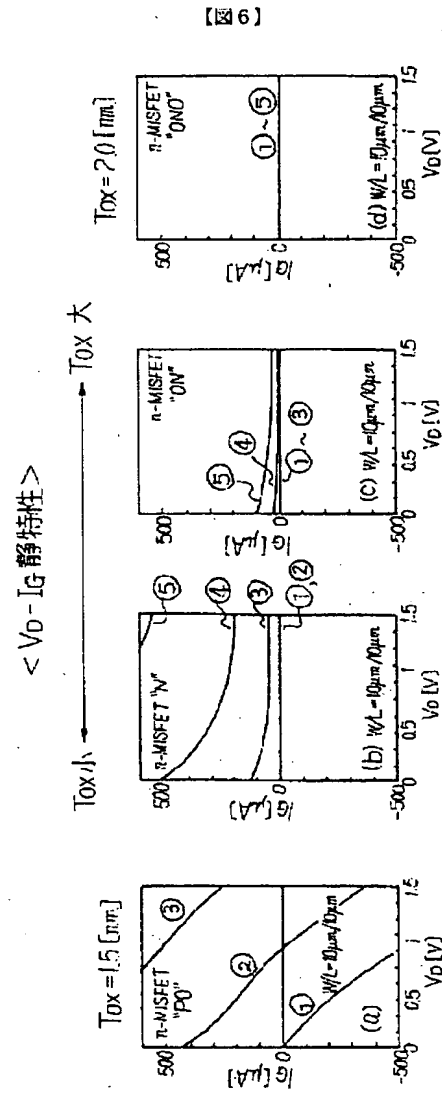


【図4】



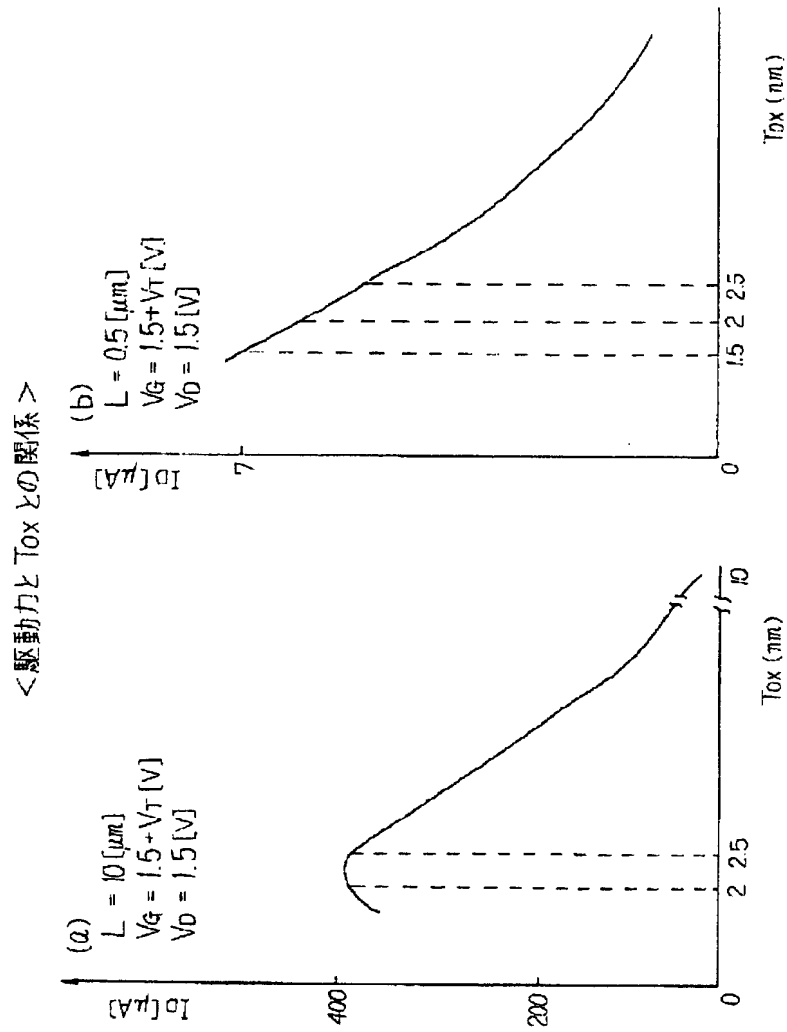


【図5】



【図6】

【図7】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)